

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 4月 4日

出願番号
Application Number: 特願2003-101614
[ST. 10/C]: [JP2003-101614]

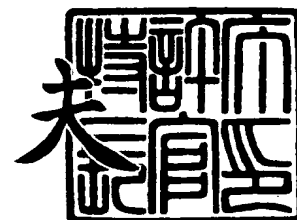
出願人
Applicant(s): 東芝セラミックス株式会社
株式会社東芝

JN

2003年11月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3091462

【書類名】 特許願

【整理番号】 A000300045

【提出日】 平成15年 4月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/205

【発明の名称】 半導体基板およびその製造方法

【請求項の数】 8

【発明者】

 【住所又は居所】 新潟県岩船郡関川村辰田新 2 7 8 関川東芝セラミックス株式会社内

 【氏名】 荻野 正信

【発明者】

 【住所又は居所】 新潟県岩船郡関川村辰田新 2 7 8 関川東芝セラミックス株式会社内

 【氏名】 須藤 義勝

【発明者】

 【住所又は居所】 兵庫県姫路市余部区上余部 5 0 番地 株式会社東芝姫路工場内

 【氏名】 馬場 嘉朗

【特許出願人】

 【識別番号】 000221122

 【氏名又は名称】 東芝セラミックス株式会社

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【先の出願に基づく優先権主張】

【出願番号】 特願2002-333682

【出願日】 平成14年11月18日

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9105409

【包括委任状番号】 9705037

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体基板およびその製造方法

【特許請求の範囲】

【請求項 1】 不純物を低濃度で含有する低濃度不純物基板の上面全体に、該低濃度不純物基板よりも不純物濃度の高い高濃度不純物拡散層を形成し、この高濃度不純物拡散層の上面全体に該高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層を形成したことを特徴とする半導体基板。

【請求項 2】 前記不純物が燐またはボロンである請求項 1 に記載の半導体基板。

【請求項 3】 前記高濃度不純物拡散層とエピタキシャル層の厚さの和が $50\text{ }\mu\text{m}$ 以上である請求項 1 または 2 に記載の半導体基板。

【請求項 4】 前記エピタキシャル層の抵抗値が $10\text{ }\Omega\cdot\text{cm}$ 以下である請求項 1 ないし 3 のいずれかに記載の半導体基板。

【請求項 5】 不純物を低濃度で含有する低濃度不純物基板のいずれか一方の面に該低濃度不純物基板よりも不純物濃度の高い高濃度不純物拡散層を形成する工程と、主面となる高濃度不純物拡散層を形成した面を鏡面化する工程と、この鏡面化した高濃度不純物拡散層の上に該高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層を形成する工程とからなることを特徴とする半導体基板の製造方法。

【請求項 6】 不純物を低濃度で含有する低濃度不純物基板の一方の面を鏡面化する工程と、この鏡面化した面に前記低濃度不純物基板よりも不純物濃度の高い高濃度不純物拡散層を形成する工程と、この高濃度不純物拡散層の上に該高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層を形成する工程とからなることを特徴とする半導体基板の製造方法。

【請求項 7】 不純物を低濃度で含有する低濃度不純物基板の両面に該低濃度不純物基板よりも不純物濃度の高い高濃度不純物拡散層を形成させる工程と、いずれか一方の面の高濃度不純物拡散層を除去する工程と、高濃度不純物拡散層が形成された面を鏡面化する工程と、この鏡面化した高濃度不純物拡散層の上に該高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層を形成す

る工程からなることを特徴とする半導体基板の製造方法。

【請求項 8】 不純物を低濃度で含有する低濃度不純物基板の両面に、該低濃度不純物基板よりも不純物濃度の高い高濃度不純物拡散層を形成する工程と、前記基板の厚さ方向中央部を切断して基板を分割する工程と、分割された基板の切断面を平坦化する工程と、分割された基板の高濃度不純物拡散層の表面を鏡面化する工程と、この鏡面化された高濃度不純物拡散層の上に該高濃度不純物拡散層より不純物濃度を低濃度で含有するエピタキシャル層を形成する工程とからなることを特徴とする半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体基板およびその製造方法に関し、特に個別半導体製造に用いられる半導体基板に関するものである。

【0002】

【従来の技術】

一般に、シリコンウェーハを用いたバイポーラ型トランジスタあるいはパワー MOSFET と称される個別半導体素子には、砒素、アンチモン、燐、ボロン等（主に砒素）の不純物を高濃度に含み表面を鏡面加工した高濃度不純物基板の上層に、低濃度の不純物を含むシリコンエピタキシャル層を形成した半導体基板が多く用いられている。

【0003】

しかし、これら高濃度不純物基板を製造するには、チョクラルスキー法等による単結晶育成時に、より多くの不純物を添加させる必要があった。しかし、高濃度不純物基板を製造する際に固溶限ぎりぎりの高濃度不純物を添加すると単結晶の育成は難しくなり、また歩留が非常に悪かった。さらに、偏析と呼ばれる現象で、物理的に結晶の長さ方向に亘って均一な濃度、すなわち均一な抵抗を有する結晶をロット内で育成させることが難しかった。こうしたことから、単結晶育成時により多くの不純物を添加して高濃度不純物基板を製造することはコストが高いものとなっていた。

【0004】

また、このようにして得られた高濃度不純物基板は、これにエピタキシャル層を形成させるエピタキシャル成長時において、裏面側の高濃度半導体層が剥き出しとなっているので、裏面側から不純物が外方拡散し、これが表面のエピタキシャル面に回り込んでしまう不具合が生じていた。そのために、エピタキシャル層を形成させる際に、不純物の外方拡散防止を目的として、基板の裏面側に保護膜（酸化膜またはポリシリコン膜）を形成する必要がある、更に製造コストの高いものとなっていた。

【0005】

また、本願発明に似て非なる先行技術として、半導体基板の表面に不純物拡散層を形成した後、該不純物拡散層の表面を機械的、かつ化学的に鏡面研磨して所定厚さだけを取り除き、この鏡面研磨後の不純物拡散層の上に高濃度の不純物を含有するエピタキシャル層を形成したサイリスタ用半導体基板の製造方法がある（例えば特許文献1参照）。

【0006】

【特許文献1】

特開昭59-35421号（特許請求の範囲）。

【0007】

この先行技術の実施例では、基板表面に不純物拡散層を得るために両面に酸化膜を形成し、その酸化膜を通して加速電圧140KeVでドーズ量 $7 \times 10^{14} / \text{cm}^2$ の燐をウェーハ内にイオン注入した後、窒素と酸素との混合ガス中において1260℃で約50時間かけてウェーハ内に燐を拡散させる。その後、表面を珪酸パウダーを用いて機械的かつ化学的に鏡面研磨して燐拡散層の表面を $5 \mu\text{m}$ 取り除き、鏡面研磨後のウェーハ表面にエピタキシャル成長により比抵抗 $0.1 \Omega \text{cm}$ のN型単結晶のエピタキシャル層を形成することが記載されている。

【0008】

しかしながら、この先行技術はサイリスタ用半導体基板の製造において、無欠陥のエピタキシャル層を形成するためのもので、基板に予め拡散層を形成した後、該拡散層を機械的かつ化学的に研磨してその上にエピタキシャル層を形成する

と、無欠陥のエピタキシャル層が形成されるということを見出してなされた発明で、本発明とは目的および技術思想が全く異なるものである。

【0009】

また、この先行技術の実施例では、基板上に高濃度不純物拡散層を形成する手段として、ドーズ量 $7 \times 10^{14} / \text{cm}^2$ のイオン注入を行ない、これを高温熱処理して拡散している。そしてこの上に比抵抗 $0.1 \Omega \text{cm}$ のエピタキシャル層を形成しているが、これはドーズ量からすると下層の基板の不純物濃度と上層のエピタキシャル層の不純物濃度がほぼ同じレベルと考えられ、高濃度不純物が拡散した基板の上にこの高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層を形成する本発明とは構成が異なるものである。なお、不純物拡散層をより高濃度にするためには、イオン注入時高ドーズのイオン量を長時間照射すれば高濃度不純物拡散層の基板は得られるが、生産性が悪く製造コストも高いものとなる。

【0010】

【発明が解決しようとする課題】

この発明は、低濃度の不純物を含有する低濃度不純物基板に高濃度不純物拡散層を形成し、その上層に基板の高濃度不純物拡散層より低濃度の不純物を含有するエピタキシャル層を形成することで、デバイス面で必要となる表面層にロット間で均一な抵抗を有する高品質な結晶を形成することができ、しかも、高濃度不純物拡散層からの不純物の外方拡散を防ぐための保護膜を必要としないで、低コストで製造可能な半導体基板を得ようとするものである。

【0011】

【課題を解決するための手段】

この発明は、不純物を低濃度で含有する低濃度不純物基板の上面全体に、該低濃度不純物基板よりも不純物濃度の高い高濃度不純物拡散層を形成し、この高濃度不純物拡散層の上面全体に該高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層を形成したことを特徴とする半導体基板（請求項1）、前記不純物が燐またはボロンである請求項1に記載の半導体基板（請求項2）、前記高濃度不純物拡散層とエピタキシャル層の厚さの和が $50 \mu\text{m}$ 以上である請求

項 1 または 2 に記載の半導体基板（請求項 3）、前記エピタキシャル層の抵抗値が $10\ \Omega \cdot \text{cm}$ 以下である請求項 1 ないし 3 のいずれかに記載の半導体基板（請求項 4）、不純物を低濃度で含有する低濃度不純物基板のいずれか一方の面に該低濃度不純物基板よりも不純物濃度の高い高濃度不純物拡散層を形成する工程と、主面となる高濃度不純物拡散層を形成した面を鏡面化する工程と、この鏡面化した高濃度不純物拡散層の上に該高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層を形成する工程とからなることを特徴とする半導体基板の製造方法（請求項 5）、不純物を低濃度で含有する低濃度不純物基板の一方の面を鏡面化する工程と、この鏡面化した面に前記低濃度不純物基板よりも不純物濃度の高い高濃度不純物拡散層を形成する工程と、この高濃度不純物拡散層の上に該高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層を形成する工程とからなることを特徴とする半導体基板の製造方法（請求項 6）、不純物を低濃度で含有する低濃度不純物基板の両面に該低濃度不純物基板よりも不純物濃度の高い高濃度不純物拡散層を形成させる工程と、いずれか一方の面の高濃度不純物拡散層を除去する工程と、高濃度不純物拡散層が形成された面を鏡面化する工程と、この鏡面化した高濃度不純物拡散層の上に該高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層を形成する工程とからなることを特徴とする半導体基板の製造方法（請求項 7）及び不純物を低濃度で含有する低濃度不純物基板の両面に、該低濃度不純物基板よりも不純物濃度の高い高濃度不純物拡散層を形成する工程と、前記基板の厚さ方向中央部を切断して基板を分割する工程と、分割された基板の切断面を平坦化する工程と、分割された基板の高濃度不純物拡散層の表面を鏡面化する工程と、この鏡面化された高濃度不純物拡散層の上に該高濃度不純物拡散層より不純物濃度を低濃度で含有するエピタキシャル層を形成する工程とからなることを特徴とする半導体基板の製造方法（請求項 8）である。即ち、この発明は、低濃度の不純物を含有した低濃度不純物基板を用いて拡散法により高濃度不純物拡散層を形成し、その表面にエピタキシャル層を形成させるようにしたものである。

【0012】

【発明の実施の形態】

図1は、この発明の一実施例におけるパワーデバイス用基板の断面図である。図1で10は低濃度不純物が含有した低濃度不純物基板である。この低濃度不純物基板10は、通常チョクラルスキー法等の単結晶育成時において、N型では主に燐、アンチモン、砒素、P型ではボロンなどを添加して円柱状の単結晶インゴットを引上げスライスして作成する。

【0013】

そして、この低濃度不純物基板10に同タイプの高濃度不純物を拡散法で拡散させて高濃度不純物拡散層2を形成して高濃度不純物拡散層形成基板1とする。なお、図中のN、Pは半導体のタイプを表し、+記号はそのタイプの不純物濃度が高いことを示している。さらにこの場合、高濃度不純物拡散層2の厚さは、低濃度不純物基板10の厚さよりも小さくすることが望ましい。即ち、高濃度の不純物が拡散されていない高濃度不純物非拡散層（以降、非拡散層と称する。）1'を残存させることが望ましい。次いで、この状態で高濃度不純物拡散層形成基板1の高濃度不純物拡散層2の上層に、該高濃度不純物拡散層2より低濃度の不純物を含有したエピタキシャル層3を形成してこの発明の半導体基板とするものである。

【0014】

なお、この発明の低濃度不純物基板10の不純物濃度は、半導体デバイス工程流動時に外方拡散などでエピタキシャル層3の抵抗に影響を与えない程度の濃度でよい。従来、高濃度不純物基板に比べ低価格でこの基板を製造することが可能である。エピタキシャル層3に影響を与えないような低濃度不純物基板10の不純物濃度は、エピタキシャル層3の不純物濃度の10倍以下が好ましい。

【0015】

この発明では、拡散法で高濃度不純物拡散層2を形成するため、従来の高濃度不純物基板のような結晶育成時の偏析の影響を受けることがなく、ロット内で均一な抵抗分布を得ることができる。また、この発明では、高濃度不純物拡散層形成基板1の裏面4まで高濃度不純物拡散層2が達していないために、エピタキシャル成長時、または半導体素子工程流動時に裏面4からの不純物の回り込みはなく、裏面保護膜形成等の余分な工程を簡略化できる。

【0016】

なお、高濃度不純物拡散層形成基板 1 の非拡散層 1' は、半導体素子製造後も残存した場合に素子の特性が悪化してしまうが、一般的に素子製造プロセス最終工程で研削除去されるため問題はない。研削除去後の基板は、その厚さが薄すぎるとその後の工程で割れを引き起こすので一定以上の厚さが必要とされており、その値は $50\text{ }\mu\text{m}$ 以上とされている。本発明においても、エピタキシャル層 3 の厚さと高濃度不純物拡散層 2 の厚さの和は $50\text{ }\mu\text{m}$ 以上が好ましい。

【0017】

この発明の半導体基板の製造方法の一例は、不純物を低濃度で含有する低濃度不純物基板のいずれか一方の面に該低濃度不純物基板よりも不純物濃度の高い高濃度不純物拡散層を形成させる。この高濃度不純物拡散層の形成は、従来公知の方法が適用され、例えば半導体基板を電気炉内に挿入し、これに酸素、窒素、 POCl_3 ガスの混合ガス雰囲気中で熱処理し、更により高熱で熱処理を行うことで高濃度不純物拡散層を形成する。次に、高濃度不純物拡散層を形成した面（主面）の鏡面化を行う。ここでいう「鏡面化」とは、最終的に得られる表面の状態が鏡面となるような化学的機械的研磨（chemical mechanical polishing：以降、研磨と称する。）を全て含むものであり、研磨工程単独、または研磨工程を行うまでの加工工程（例えば、ダイヤモンド砥石による研削、酸性薬液（例えば、フッ酸、硝酸、酢酸の混合薬液）によるエッチング等）が必要な場合はそれを含めたものとする。また、近年、プラズマエッチング等の技術も広く確立されてきており、これが最終工程として設置された場合はこれも含むものである。ついで、鏡面化した面に該高濃度不純物拡散層より低濃度の不純物を含有するエピタキシャル層を形成する。このエピタキシャル層形成は、例えば、シリコン源として SiHCl_3 、キャリアガス H_2 、不純物添加ガス PH_3 を用いて従来公知な方法で行う。なお、上述した方法において、最初に主面（エピタキシャル層形成面）となる面を鏡面化しておいて、その面に高濃度不純物拡散層を形成してもよい。上述した製造方法において、高濃度不純物拡散層を形成しない他方の面は高濃度不純物拡散層形成前に酸化膜等により保護されていることが望ましい。この保護膜の形成は、例えば酸化膜ならば高濃度不純物拡散層形成前の基板に対して両

面に酸化膜を形成し、主面（エピタキシャル層形成面）側の保護膜をスパインエッチング等を用いて除去すればよい。

【0018】

この発明の別の製造方法では、低濃度不純物基板の両面に該低濃度不純物基板よりも不純物濃度の高い高濃度不純物拡散層を形成させる。この高濃度不純物拡散層の形成は、上述した従来公知である方法が適用される。次に、いずれか一方の高濃度不純物拡散層を除去し非拡散層を露出させる。この場合の高濃度不純物拡散層除去は、ダイヤモンド砥石による片面研削、プラズマ又はスパインエッチングによる片面エッチング、又は片面研磨等により行うことが好ましい。なお、主面となる高濃度不純物拡散層を残存させるように、両面研削、両面エッチング、両面研磨等をそれぞれ組み合わせて行ってもよい。次に高濃度不純物拡散層を形成した面の鏡面化を行う。この際、高濃度不純物拡散層の面状態（ラッピング処理後、エッチング処理後等）により、ダイヤモンド砥石による研削、プラズマ又はスパインエッチングによるエッチング、研磨等を組み合わせて行ってもよい。なお、裏面となる非拡散層を残存させるように両面研削、両面エッチング、両面研磨をそれぞれ組み合わせて行ってもよい。次に鏡面化した該高濃度不純物拡散層面に低濃度の不純物を含有するエピタキシャル層を形成する。エピタキシャル層形成は上述したような従来公知な方法で行う。

【0019】

この発明の更に別の製造方法では、不純物を低濃度で含有する低濃度不純物基板の両面に、上述した従来の方法により該低濃度不純物基板よりも不純物濃度の高い高濃度不純物拡散層を形成する。その後、基板の中央部を内周刃、又は、ワイヤソーによってスライスして分割し非拡散層を露出させる。次に、分割した各々の切断面を平坦化する。この際用いる方法としては、例えば、ダイヤモンド砥石による片面研削、又はプラズマエッチング、スパインエッチングなどによる片面エッチング、片面研磨等により行うことが望ましい。この際、主面となる高濃度不純物拡散層を残存させるように、両面研削、両面エッチング、両面研磨をそれぞれ組み合わせて行ってもよい。次に、基板の主面となる高濃度不純物拡散層側の表面を鏡面化する。この際、高濃度不純物拡散層の面状態（ラッピング処理後

、エッチング処理後) により、ダイヤモンド砥石による研削、プラズマエッチング、又はスピンエッチング等によるエッチング、研磨等を組み合わせて行ってもよい。なお、裏面となる非拡散層を残存させるように両面研削、両面エッチング、両面研磨をそれぞれ組み合わせて行ってもよい。次に、鏡面化された高濃度不純物拡散層の上に該高濃度不純物拡散層より不純物濃度を低濃度で含有するエピタキシャル層を上述した従来公知な方法で行う。

【0020】

本発明では、使用する不純物は拡散速度の速い不純物を用いた方が好ましく、N型では燐、P型ではボロンがよい。P型不純物については、アルミニウムがボロンより拡散係数が大であるが、シリコン半導体の場合は固溶限がボロンより一桁以上も小さいので、シリコン半導体P型ではボロンが好ましい。なお、本発明のパワーデバイス用基板は、その素材がシリコンに限らず、ゲルマニウム半導体等の他の半導体素材にも適用可能である。

【0021】

更に、本発明においては、図1 (A) に示すように低濃度不純物基板と高濃度不純物拡散層がN型でエピタキシャル層もN型、また低濃度不純物基板と高濃度不純物拡散層がP型でエピタキシャル層もP型の半導体基板の他に、図1 (B) に示すような、低濃度不純物基板と高濃度不純物拡散層がN型でエピタキシャル層がP型、またはその反対の構造の例えばIGBT等のようなパワーデバイスにも適用が可能である。

【0022】

【実施例】

(実施例1)

図2-aに示すように、口径150mm、比抵抗約 $10\Omega\cdot\text{cm}$ 、厚さ625 μm の表面が鏡面研磨されたN型半導体基板5を熱処理して、酸化膜6₁、6₂をN型半導体基板5の両面に形成した。次に、このN型半導体基板5の表面、すなわち研磨面側の酸化膜6₁だけを除去して、温度1200℃に保持された電気炉に挿入し、炉内に酸素、窒素及びPOCl₃ガスを導入し、180分間熱処理して、その表面に高濃度不純物が拡散したデポ拡散層7を形成した(図2-b)

。その後、上記熱処理で表裏面に付着された燐ガラス 8 を酸エッチングで除去した (図 2-c)。このときにデポ拡散層 7 のシート抵抗は $0.3 \Omega/\square$ であった。この半導体基板を微量の酸素を含むアルゴンガス雰囲気中、 1290°C で 300 時間熱処理し、不純物をさらに深くまで拡散させた高濃度不純物拡散層 9 を形成した (図 2-d)。この時点での高濃度不純物拡散層 9 の深さを測定したところ $220 \mu\text{m}$ であった。その後、基板 5 の裏面の酸化膜 6₂ を除去し (図 2-e)、続いて高濃度不純物拡散層側の表面に厚さ $10 \mu\text{m}$ 、比抵抗 $10 \Omega \cdot \text{cm}$ の N 型の不純物が添加されたシリコンエピタキシャル層 10 を形成した (図 2-f)。このときのエピタキシャル成長条件は、シリコン源として SiHCl_3 、キャリアガス H_2 、不純物添加用ガス PH_3 、成長温度が 1150°C で、エピタキシャル成長速度は平均 $1.5 \mu\text{m}/\text{分}$ であった。また、この半導体基板の高濃度不純物拡散層 9 において、抵抗 $2 \text{ m}\Omega \cdot \text{cm}$ 以下の厚さ領域は約 $70 \mu\text{m}$ であった。

【0023】

(実施例 2)

図 3-a に示すように、口径 150 mm 、比抵抗 $10 \Omega \cdot \text{cm}$ 、厚さ $900 \mu\text{m}$ で表裏面が化学エッチングされた N 型半導体基板 11 を、温度 1200°C に保持された電気炉に挿入し、炉内に酸素、窒素及び POCl_3 ガスを導入し、180 分間熱処理して、N 型半導体基板 11 の両面にデポ拡散層 12₁、12₂ を形成した (図 3-b)。その後、上記熱処理で表裏面に付着された燐ガラス層 13 を酸エッチングで除去した (図 3-c)。このときのデポ拡散層 12₁、12₂ のシート抵抗は $0.3 \Omega/\square$ であった。この半導体基板をアルゴンガス雰囲気中、 1290°C で 300 時間熱処理し、不純物をさらに深くまで拡散した高濃度不純物拡散層 14₁、14₂ を形成した (図 3-d)。この時の高濃度不純物拡散層 14₁ の深さを測定したところ $223 \mu\text{m}$ であった。その後、半導体基板の一方の高濃度不純物拡散層側 (図中では 14₂) を $300 \mu\text{m}$ 、デバイス面となる高濃度不純物拡散層側 (図中では 14₁) の面を $10 \mu\text{m}$ 、それぞれダイヤモンド等が電着された砥石により研削除去し、その両面に研削時のダメージ層を除去するため化学エッチングにより片面ずつ $5 \mu\text{m}$ 除去し、その後、デバイス面となる

高濃度不純物拡散層側 14₁を鏡面研磨した(図3-e)。続いて鏡面研磨した面に厚さ10 μ m、比抵抗10 $\Omega \cdot \text{cm}$ のN型の不純物が添加されたシリコンエピタキシャル層15を形成した(図3-f)。この時のエピタキシャル成長条件は、シリコン源としてSiHCl₃、キャリアガスH₂、不純物添加用ガスPH₃、成長温度が1150℃で、エピタキシャル成長速度は平均1.5 μ m/分であった。また、この半導体基板の高濃度不純物拡散層14₁において、抵抗2m $\Omega \cdot \text{cm}$ 以下の厚さ領域は約50 μ mであった。

【0024】

(実施例3)

図4-aに示すように、口径150mm、比抵抗15 Ωcm 、厚さ900 μ mで両面が化学エッチングされたP型半導体基板16の表裏面にB₂O₃粉末を塗布し、ついでこれを温度1280℃に保持された電気炉に挿入し、炉内に酸素を導入して240分熱処理を行い、半導体基板16の表裏面にデポ拡散層17₁、17₂を形成した(図4-b)。その後、上記熱処理で表裏面に付着されたボロンガラス層18をフッ酸で除去した(図4-c)。

【0025】

この半導体基板をアルゴンガス雰囲気中、1290℃で180時間熱処理し、不純物をさらに拡散させた高濃度不純物拡散層19₁、19₂を形成した(図4-d)。このときの高濃度不純物拡散層19₁の厚さを測定したところ230 μ mであった。その後、半導体基板の一方の高濃度不純物拡散層側(図中では19₂)を300 μ m、デバイス面となる高濃度不純物拡散層側(図中では19₁)を10 μ m、それぞれダイヤモンド等が電着された砥石により研削除去し、その両面のダメージ層を化学エッチングにより片面5 μ m除去した後、デバイス面となる高濃度不純物拡散層側19₁を鏡面研磨した(図4-e)。

【0026】

続いて鏡面研磨した面に厚さ10 μ m、比抵抗10 $\Omega \cdot \text{cm}$ のP型の不純物が添加されたシリコンエピタキシャル層20を形成させた(図4-f)。この時のエピタキシャル成長条件は、シリコン源としてSiHCl₃、キャリアガスH₂、不純物添加用ガスB₂H₆、成長温度が1150℃で、エピタキシャル成長速

度は平均 $1.5 \mu\text{m}/\text{分}$ であった。また、この基板で高濃度不純物拡散層 191 において、抵抗 $2 \text{ m}\Omega \cdot \text{cm}$ 以下の厚さ領域は約 $50 \mu\text{m}$ であった。

【0027】

(実施例 4)

図 5-a に示すように、口径 150 mm 、比抵抗 $10 \Omega \cdot \text{cm}$ 、厚さ $1200 \mu\text{m}$ で表面がラッピング処理された N 型半導体基板 30 を温度 650°C に保持された電気炉に挿入し、 1200°C まで昇温した後に、炉内に酸素、窒素及び POCl_3 ガスを導入し 180 分間熱処理して表面にデポ拡散層 321, 322 を形成した (図 5-b)。その後、上記熱処理で基材の表裏面に付着した燐ガラス 31 を酸エッチングで除去した。このときにデポ拡散層 321, 322 のシート抵抗は $0.3 \Omega/\square$ であった。その後、この半導体基板を微量の酸素を含むアルゴンガス雰囲気中、 1290°C で 300 時間熱処理し、不純物をさらに深くまで拡散させて高濃度不純物拡散層 331, 332 を形成した (図 5-c)。この時点での高濃度不純物拡散層 331, 332 の深さを測定したところ、 $220 \mu\text{m}$ であった。その後、中央部を図示しない内周刃式切断機によりスライスして 1 枚の基板を二つに分割した (図 5-d)。次いで分割した基板 34 (図では分割された一方を示す。) の表面の凹凸 35 を除去するために、ダイヤモンドが電着された砥石によって研削除去し、さらにその表面のダメージ層を除去するために化学エッチングによって片面ずつ $5 \mu\text{m}$ を除去した (図 5-e)。その後、デバイス面となる高濃度不純物拡散層 331 を鏡面研磨した (図 5-f)。続いて鏡面研磨した面に厚さ $10 \mu\text{m}$ 、比抵抗 $10 \Omega \cdot \text{cm}$ の N 型の不純物が添加されたシリコンエピタキシャル層 36 を形成した (図 5-g)。この時のエピタキシャル成長条件は、シリコン源として SiHCl_3 、キャリアガス H_2 、不純物添加用ガス B_2H_6 、成長温度が 1150°C で、エピタキシャル成長速度は平均 $1.5 \mu\text{m}/\text{分}$ であった。また、この基板で高濃度不純物拡散層において、抵抗 $2 \text{ m}\Omega \cdot \text{cm}$ 以下の厚さ領域は約 $50 \mu\text{m}$ であった。なお、図示した事例では分割した一方の側のウェーハについて説明したが、分割した他方の側のウェーハについてもこれと同様にして上記と同様の半導体基板とすることができる。

【0028】

さらに、上記実施例 1、2 では、拡散ソースとして、 POC13 を用いたが、 P2O5 を塗布しても良い。また、実施例 2、3 では化学エッチングした半導体基板の両面に高濃度の不純物を拡散しているが、機械研磨、或いは砥石によりラップ研磨された面に高濃度の不純物を拡散してもよい。さらに、この発明の半導体基板にあつては、高濃度不純物拡散層の厚さは、電極が取れしかも半導体基板自体の機械的強度が得られる厚さがあればよく、反対に高濃度不純物拡散層の厚さが大きいと、拡散工程での熱処理時間が長くなり生産性が悪い。なお、高濃度不純物拡散層の下層の非拡散層は、高濃度不純物拡散層からの発塵、あるいは不純物ドーパ剤の裏面からの回り込みを抑えるために $5\mu\text{m}$ 以上の厚さは必要である。

【0029】

【発明の効果】

従来、低耐圧用パワーデバイス基板を得るために用いられる基板は、チョクラルスキー法等による単結晶育成時において、砒素等を添加して製造された高濃度不純物基板を用いて製造されていたが、本発明により得られる半導体基板では、不純物を燐、ボロンとした低濃度基板を用いるので、素材としての製造コストが従来と比較して大幅に削減できる。このように、本発明によって得られる半導体基板は、一般的に低耐圧用（主に $10\Omega\cdot\text{cm}$ 以下）パワーデバイス基板を得る上で大きな効果を得ることができるが、本発明は中耐圧、高耐圧（主に $10\Omega\cdot\text{cm}$ 以上）にも広く適用が可能であることは言うまでもない。

【0030】

また、本発明を基にパワー MOSFET の半導体デバイスを製造したところ、高濃度不純物基板部による直列抵抗成分が従来約 70% 程度に抑えられ、基板の特性が大幅に改善できた。さらに、エピタキシャル製造工程時、あるいはパワーデバイス工程時において、裏面側に余計な保護膜をつけなくてもよいことが実証され、この点からもより製造コストの低減が可能である。

【図面の簡単な説明】

【図 1】

図 1 は、この発明の一実施例になる半導体基板の側面図で、(A) は N 型基板

にN型エピタキシャル層を形成した半導体基板（左図）と、P型基板にP型エピタキシャル層を形成した半導体基板（右図）、（B）はN型基板にP型エピタキシャル層を形成した半導体基板（左図）と、P型基板にN型エピタキシャル層を形成した半導体基板（右図）。

【図2】

図2は、この発明の一実施例になる半導体基板の製造方法を示す工程図。

【図3】

図3は、この発明の他の一実施例になる半導体基板の製造方法を示す工程図。

【図4】

図4は、この発明の他の一実施例になる半導体基板の製造方法を示す工程図。

【図5】

図5は、この発明の他の一実施例になる半導体基板の製造方法を示す工程図。

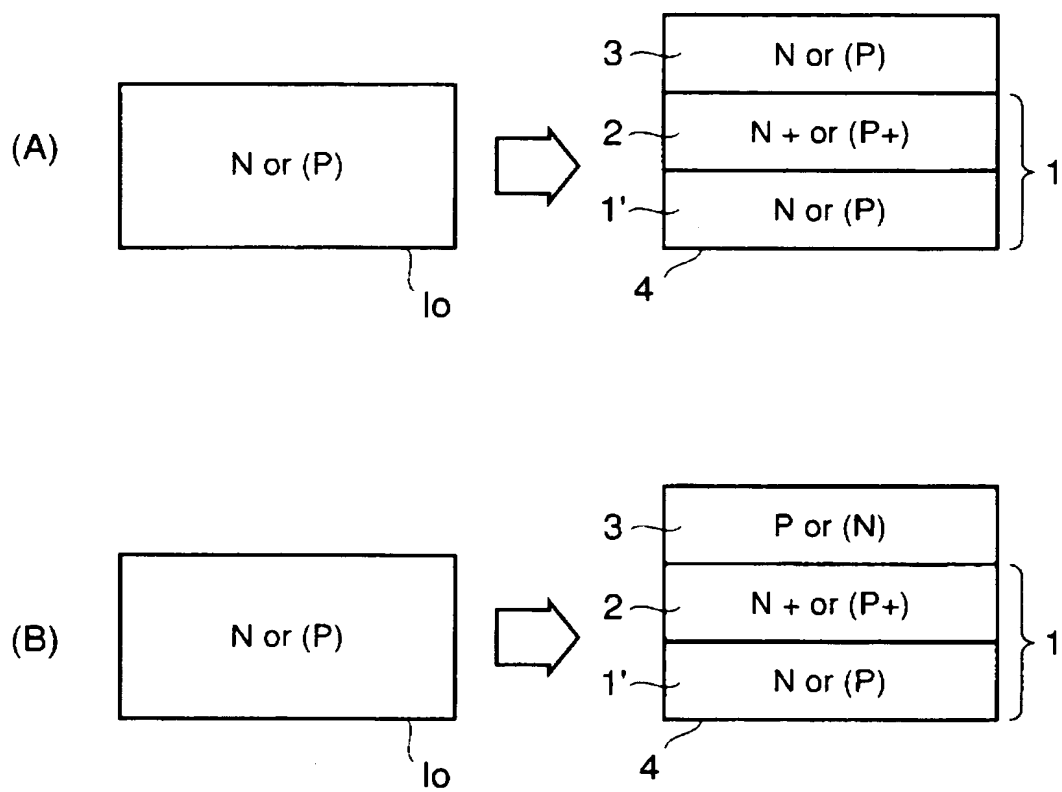
【符号の説明】

10…低濃度不純物基板、1…高濃度不純物拡散層形成基板、2…高濃度不純物拡散層、1'…非拡散層、7, 121, 122, 171, 172, 321, 322…デポ拡散層、2, 9, 141, 142, 191, 192, 331, 332…高濃度不純物拡散層、3, 10, 15, 20, 36…エピタキシャル層、4…裏面、5, 11, 30…N型半導体基板、61, 62…酸化膜、8, 13, 31…燐ガラス層、16…P型半導体基板、18…ボロンガラス層、35…スライス切断面（凹凸）。34…分割した基板。

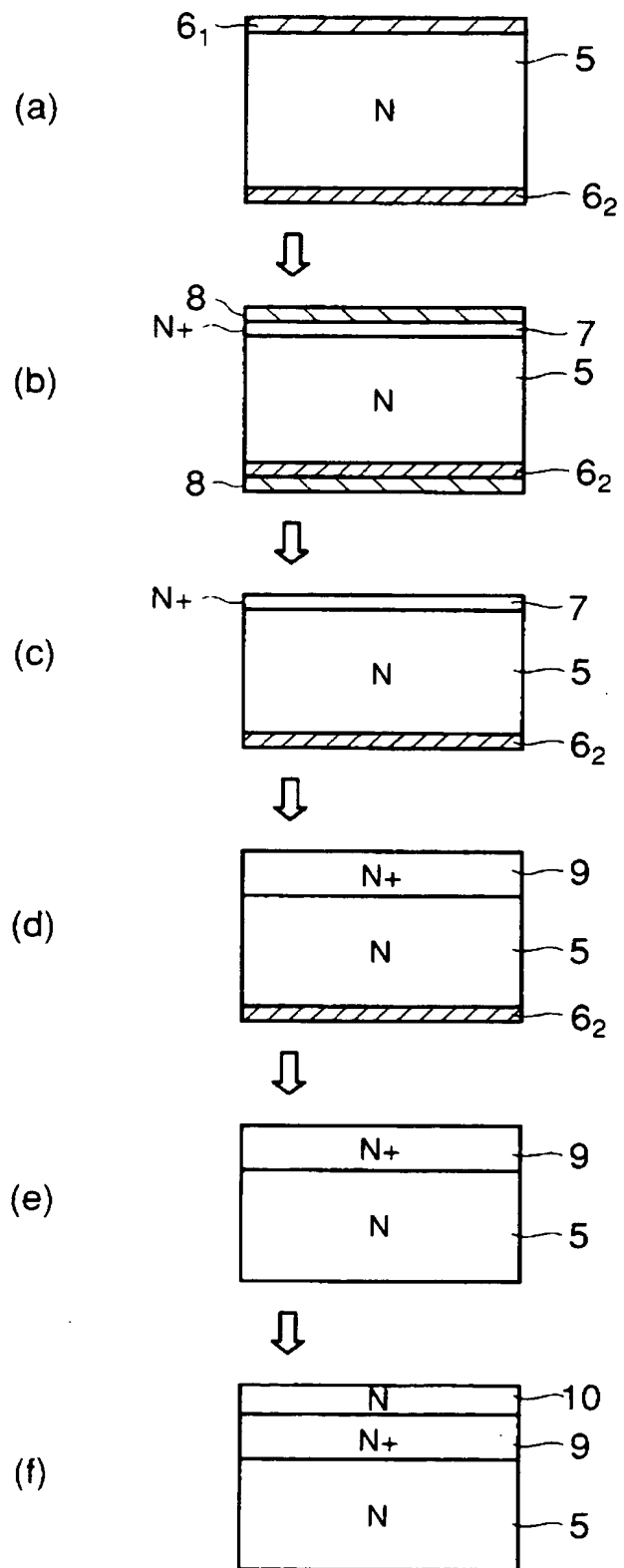
【書類名】

図面

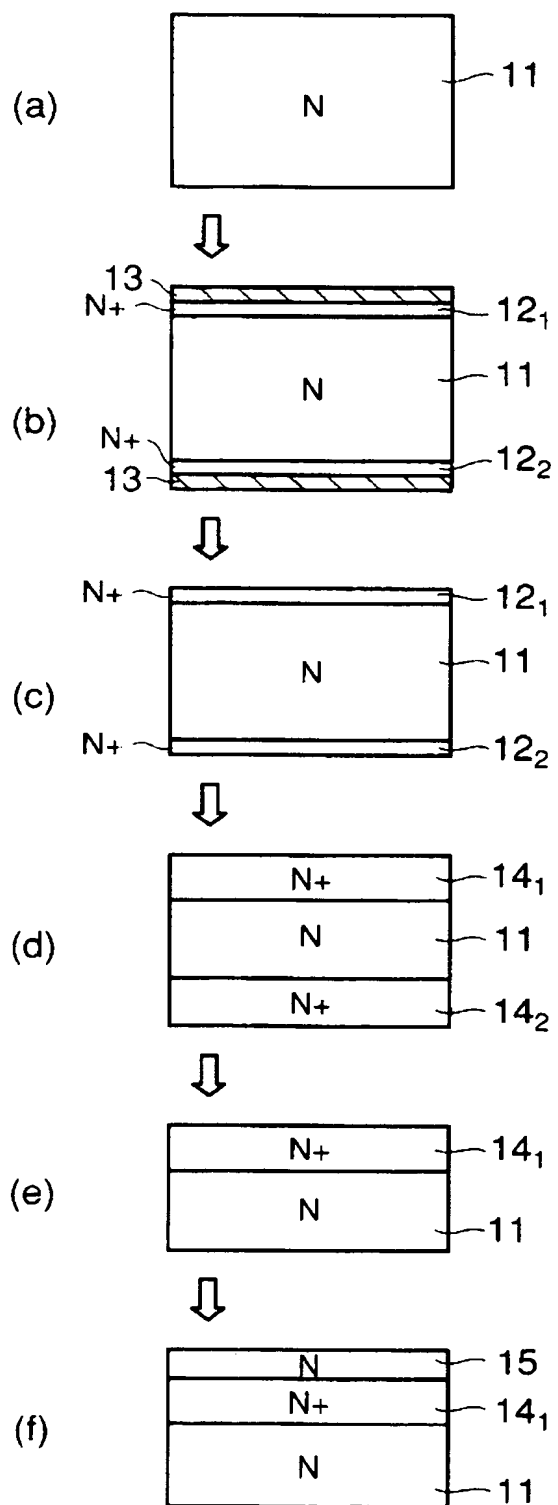
【図 1】



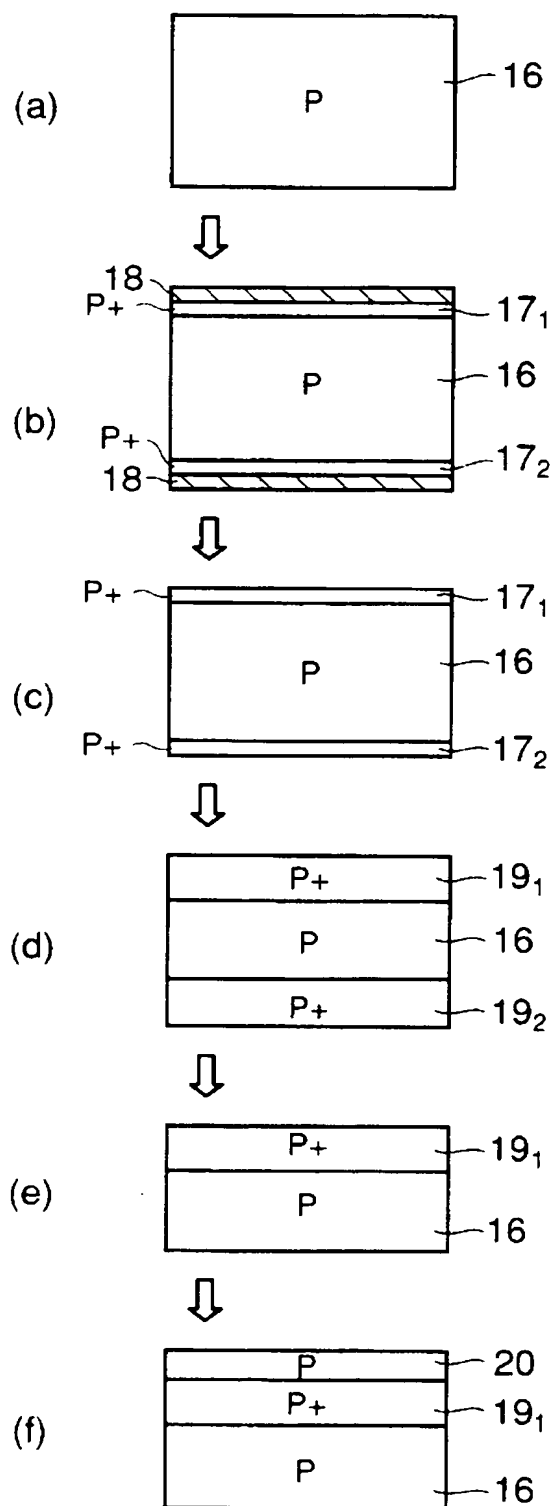
【図 2】



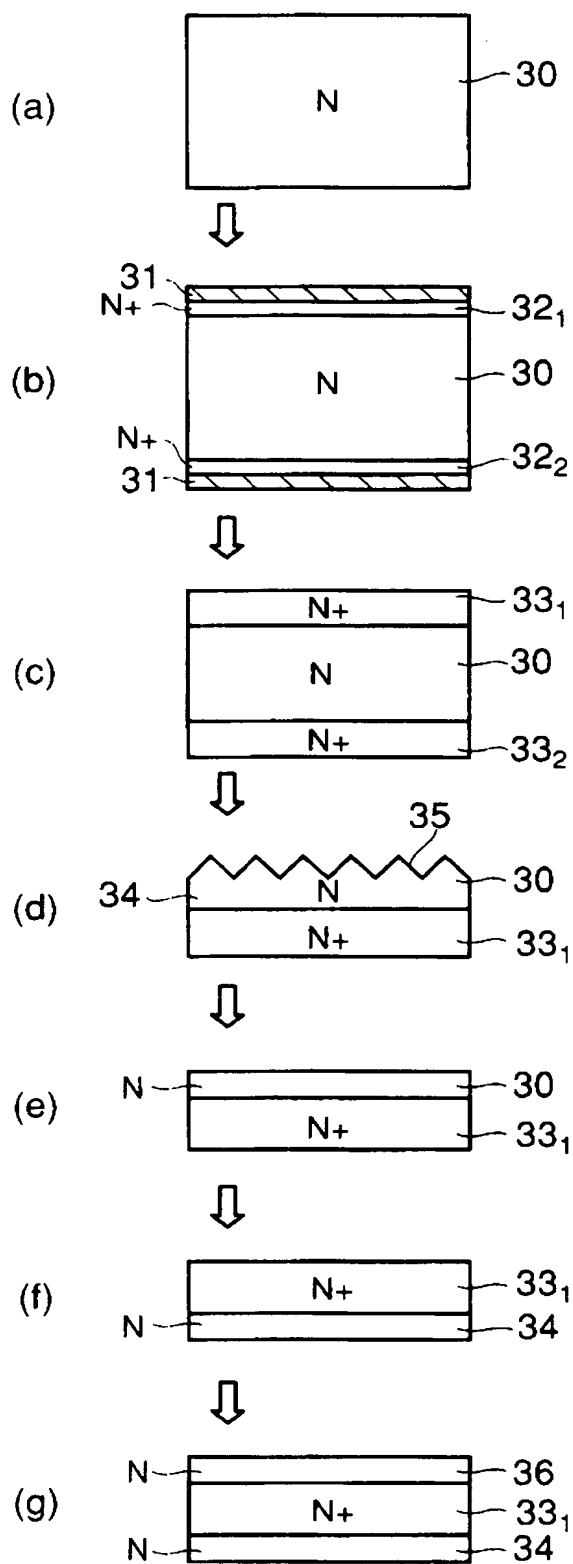
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 この発明は、低濃度の不純物を含有する低濃度不純物基板に高濃度不純物拡散層を形成し、更にその上層に前記高濃度不純物拡散層より低濃度の不純物を含有するエピタキシャル層を形成した構造とすることで、ロット内で均一な抵抗を有する高濃度不純物層を容易に形成することができ、しかも高濃度不純物層からの不純物の外方拡散を防ぐための保護膜を必要としない半導体基板を得ようとするものである。

【解決手段】 この発明は、不純物を低濃度で含有する低濃度不純物基板 1 の上面全体に、該低濃度基板よりも不純物濃度の高い高濃度不純物拡散層 2 を形成し、この高濃度不純物拡散層の上面全体に該高濃度不純物拡散層より不純物を低濃度で含有するエピタキシャル層 3 を形成したことを特徴とする半導体基板である。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2003-101614
受付番号	50300566052
書類名	特許願
担当官	笹川 友子 9482
作成日	平成15年 4月10日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000221122
【住所又は居所】	東京都新宿区西新宿七丁目5番25号
【氏名又は名称】	東芝セラミックス株式会社

【特許出願人】

【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目1番1号
【氏名又は名称】	株式会社東芝

【代理人】

申請人

【識別番号】	100058479
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	鈴江 武彦

【選任した代理人】

【識別番号】	100091351
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	河野 哲

【選任した代理人】

【識別番号】	100088683
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	中村 誠

【選任した代理人】

【識別番号】	100084618
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	村松 貞男

次頁有

認定・付加情報（続き）

【選任した代理人】

【識別番号】 100092196

【住所又は居所】 東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許
綜合法律事務所内

【氏名又は名称】 橋本 良郎

次頁無

特願 2 0 0 3 - 1 0 1 6 1 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 2 1 1 2 2]

1. 変更年月日

1 9 9 9 年 9 月 8 日

[変更理由]

住所変更

住 所

東京都新宿区西新宿七丁目 5 番 2 5 号

氏 名

東芝セラミックス株式会社

特願 2 0 0 3 - 1 0 1 6 1 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝